

深圳开阳电子股份有限公司拥有随时修改本手册的权利，内容如有更改，恕不另行通知。深圳开阳电子股份有限公司对本手册不承担任何形式的保证，包括但不限于对产品特定用途适销性和适用性的隐含保证。深圳开阳电子股份有限公司对本手册中包含的错误或对本手册的使用所带来的偶然或继起损害不承担任何责任。

版本记录:

日期	版本	更新说明
2025-06	V1.0	初始版本

目 录

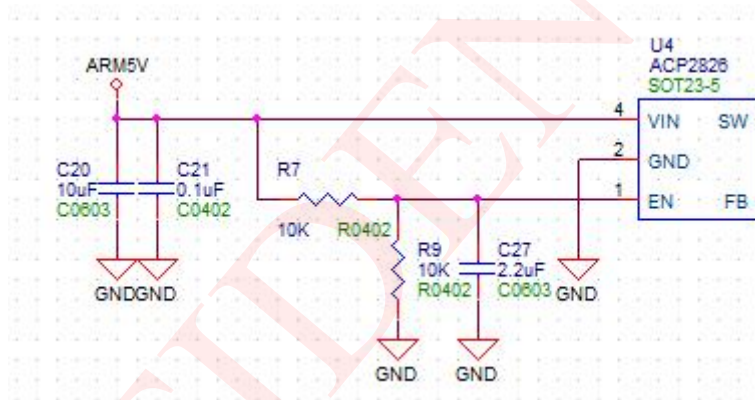
一、	原理图设计注意事项.....	4
二、	PCB 设计注意事项.....	11

CONFIDENTIAL

一、原理图设计注意事项

1. 电源部分

- 1) 内核电压供电调整到 0.96V，峰值电流为待定，DCDC 芯片、电感及走线按 3A 以上设计；
- 2) ADC 供电 1.8V，峰值电流待定，DCDC 芯片、电感及走线按 1A 以上设计；
- 3) DDR 供电 1.5V，峰值电流待定，DCDC 芯片、电感及走线按 1A 以上设计；
- 4) GPIO 供电 3.3V，峰值电流待定，DCDC 芯片、电感及走线按 1A 以上设计；
- 5) 核电压先上电，至少 10mS 后 DDR 及 GPIO 才上电，所以需要增加延时电路，如下图。



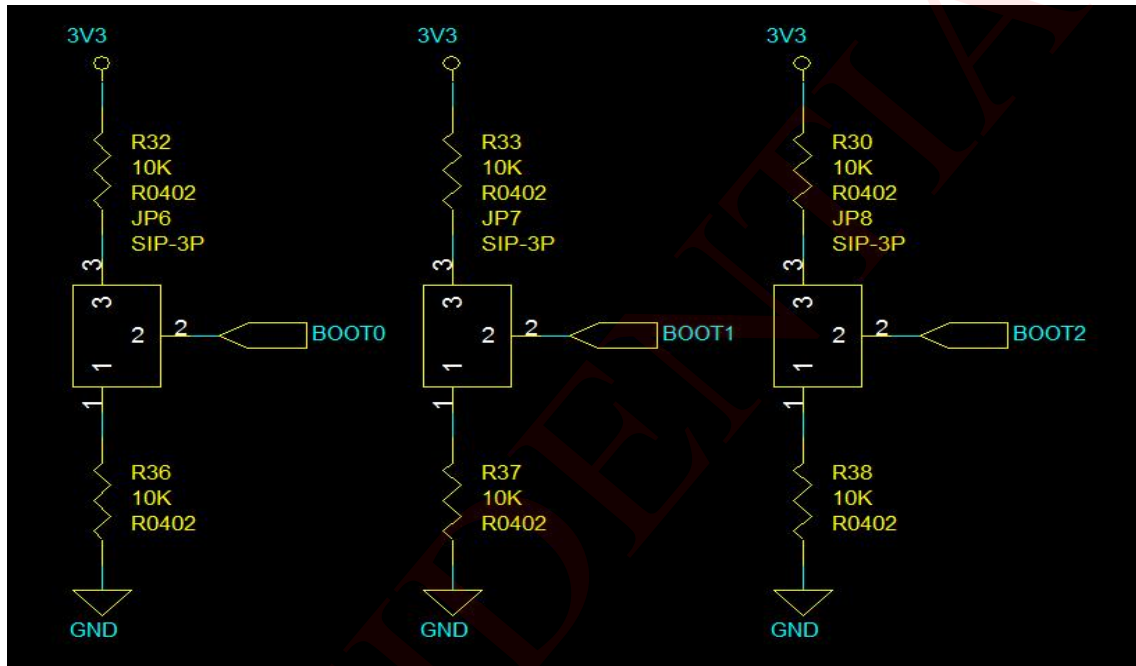
- 6) 核电压、DDR 电压及 GPIO 供电电压输出纹波控制在 100mV 以内，滤波电容使用 100uF 钽电容。

2. ARK1668ED 芯片有多种启动模式可选择，启动模式及电路如下图。

特别注意:本系统支持 USB 空片升级,但启动模式应由 MCU 选择控制。升级完成后,MCU 跳成 NAND 或 EMMC 启动,这样可以减少 USB 设备检测等待时间,加快启动。

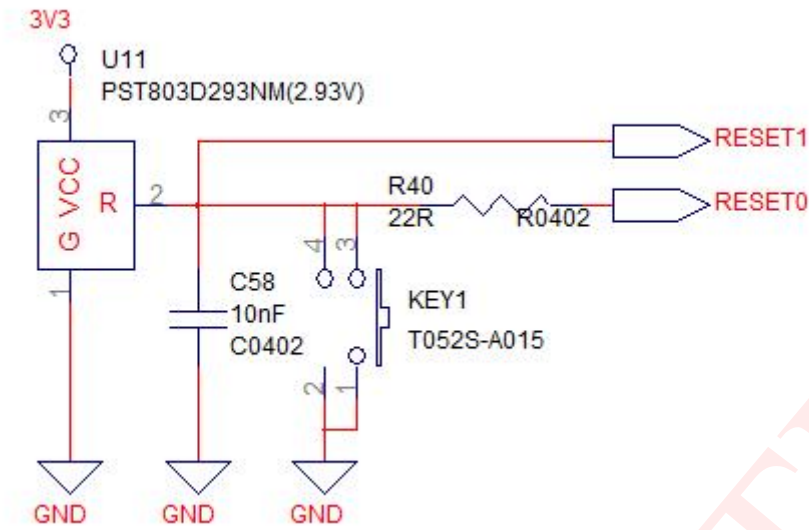
```

000: Boot from NAND
001: Boot from EMMC
010: Boot from SPI
011: Boot from SPI NAND
100: Updae from SD & Boot from NAND/EMMC/SPI
101: Updae from USBHOST & Boot from NAND/EMMC/SPI
110: Updae from USBDEVICE & Boot from NAND/EMMC/SPI
111: TEST
    
```



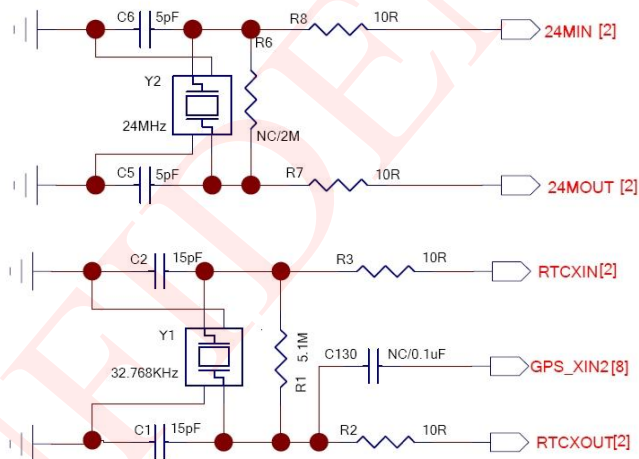
3. 复位电路

主控芯片复位时间大于 100mS，如下图。



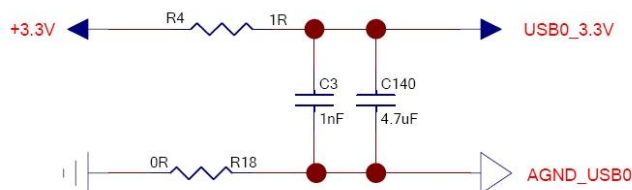
4. 振荡电路

以下两个晶振精度要求为 20PPM。



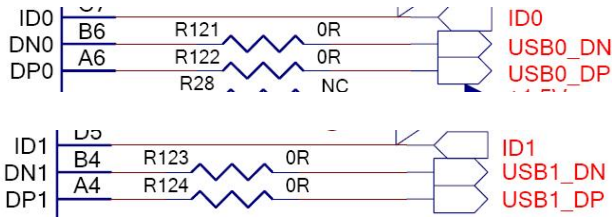
5. 功能模块供电

USB、音频 DAC、串行 ADC（锁相环）、视频 DAC 及 LVDS 等各功能模块供电的电源和地要用电阻或电感隔开，并增加必要的滤波电容。如下图,USB3.3V 电路中的 R4 和 R18。详见原理图。



6. USB

为了方便后续调试，DP、DN 网络串入电阻，如下图。

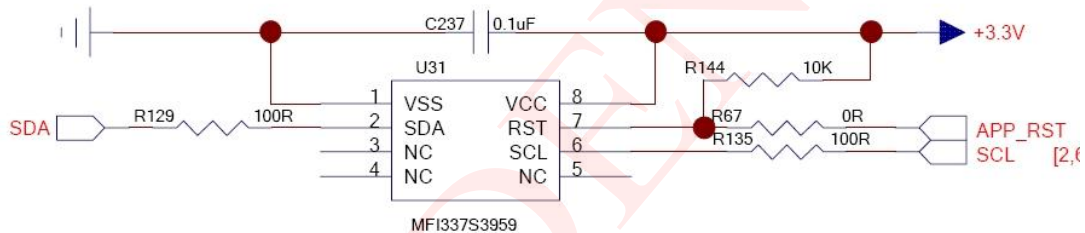


7. 硬件 I2C 接口

ARK1668ED 有一组硬件 I2C 接口，可以用于电容触摸屏和苹果认证芯片等的通讯，使用时需加上拉电阻。

8. 用 USB 线实现手机互联

1) IPHONE 手机互联需要增加认证芯片，如下图。



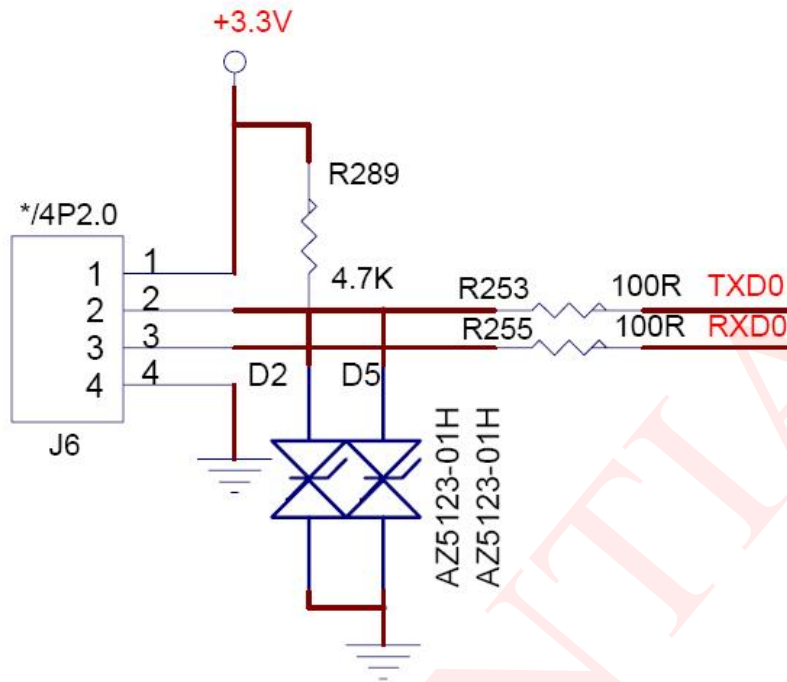
9. DDR

1) ARK1668ED 内置 512M 容量 DDR3，满足 1.5V 外接电源即可。

10. UART 端口

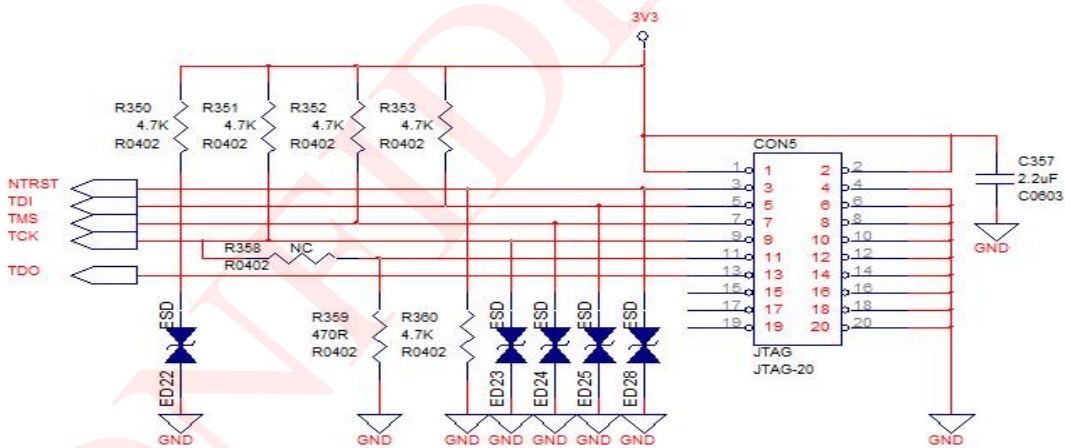
UART0 为普通串口，一般接普通低速设备。HUART1~HUART5 为高速串口，一般接高速设备,如蓝牙 MCU(带 CAN 功能的系统,必须用高速串口通讯)等高数据吞吐量设备。

UART0 一般做调试用。为了方便调试，要把 TXD0 和 RXD0 拉线出来。为了避免调试过程中掉程序，RXD0 加上拉电阻。调试过程中容易受到静电损害，所以在端口要加上 ESD 保护管。如下图。



11. 芯片调试端口

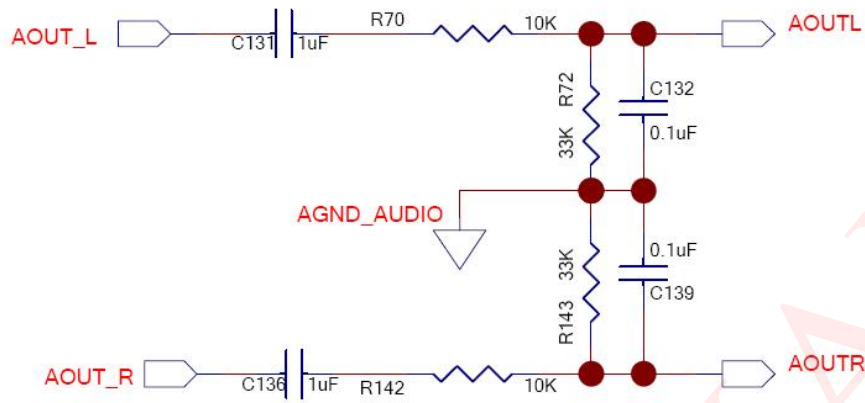
在产品中不使用，如使用按下图连接即可。



12. 模拟音频输出

为了提高信噪比，模拟音频输出增加 RC 滤波电路。



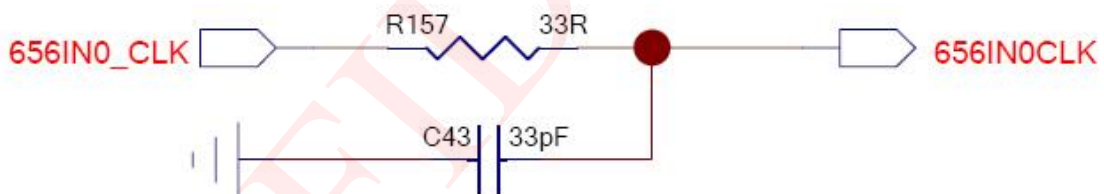


13. EMMC

为了避免其它信号的干扰，EMM 芯片要靠近 SOC 芯片。D0、D1、D2、D3、D4、D5、D6、D7、CMD 要上拉 10K 电阻，时钟 CLK 串接 RC 滤波电路。如果 EMMC 与芯片离太远，D0、D1、D3、D3、D4、D5、D6、D7、CMD 及 CD 都要串接电阻。

14. ITU656 输入

所有 656 输入时钟要串接如下 RC 滤波电路，D0~D7 串接电阻，一般使用 33 欧。

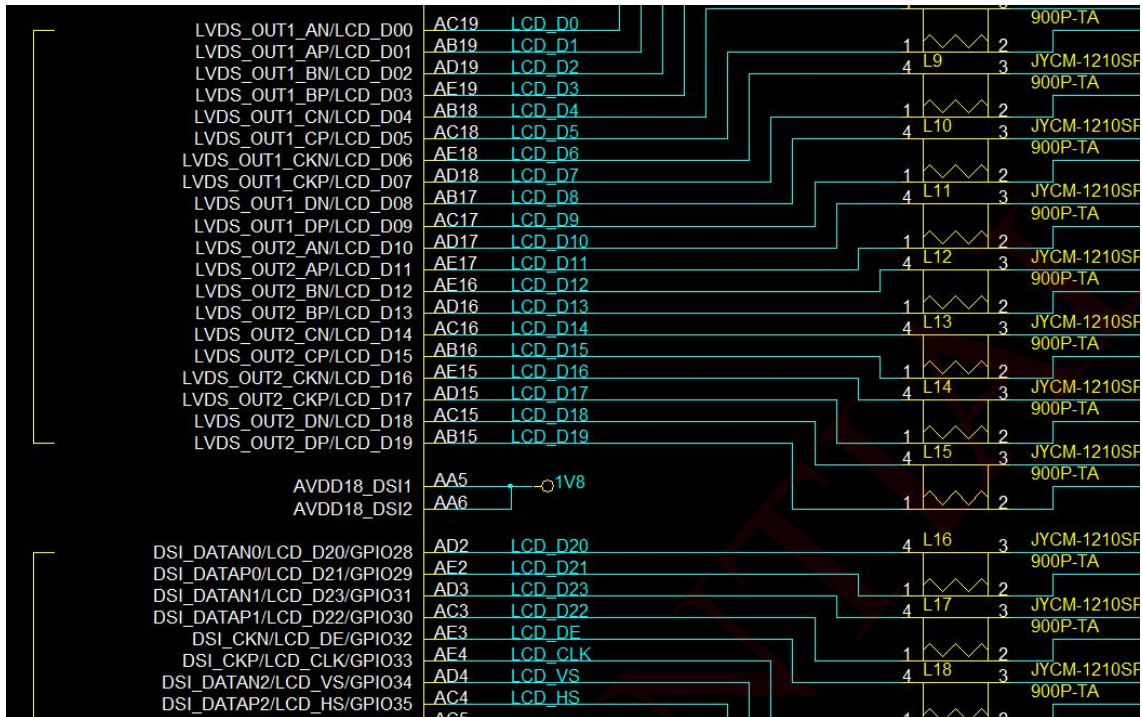


15. 模拟视频输出

支持 1 路 CVBS 或 AHD 输出，可由寄存器配置。

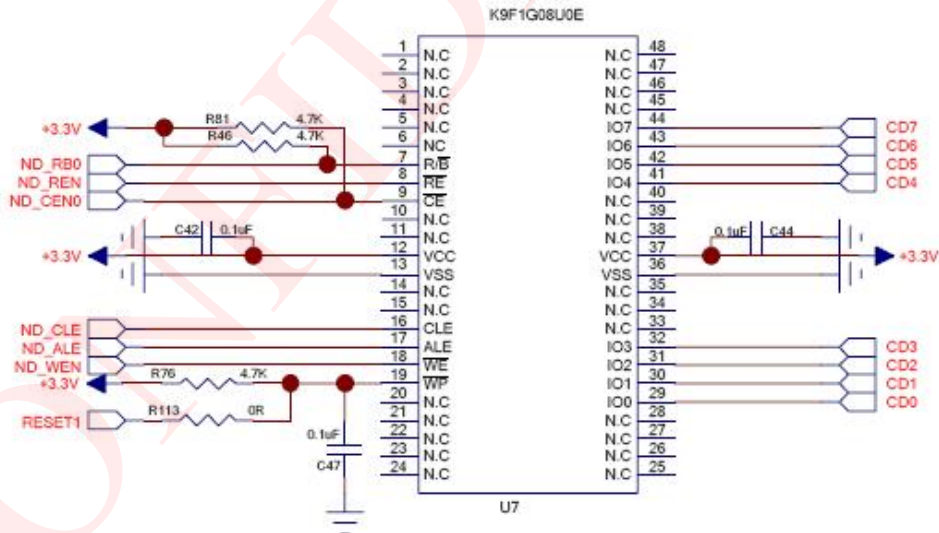
16. 数字 RGB 输出

默认状态下，LCD_D0~7 为红色数据信号，LCD_D8~15 为绿色数据信号，LCD_D16~23 为蓝色数据信号。RGB888 或 RGB666 输出模式时 3 组信号可以互换，但要整组对应位互换，即高低位不能交换。如 LCD_D0 与 LCD_D16，LCD_D1 与 LCD_D17.....LCD_D7 与 LCD_D23 互换。互换之后可由寄存器配置正确的颜色。



17. NAND

NANDFLASH 所有上拉电阻使用 4.7K。



NANDFLASH

二、 PCB设计注意事项

1. 建议 PCB 按 6 层布线，层顺序依次为：S1/GND/S2/GND/S3/ VCC。

4 层板布局的信号完整性及散热方面相对差一些，层顺序依次为：

S1/GND/ S2/ VCC。

2. 晶振

晶振是模拟的正反馈振荡电路，很容易受到干扰，地平面上的噪声也会影响正反馈振荡电路。要有稳定的振荡信号，一定要将晶振和芯片的距离尽可能靠近，走线尽量加宽，建议 10mils,并且晶振下不要走信号线。

另外，对于 RTC 振荡电路。由于芯片内部振荡电路由 VDD_RTC 提供，而 VDD_RTC 容易受到数字信号的影响（周期数字信号的频率越快，RTC 就越偏快），所以，时 VDD_RTC 要远离周期信号，并且做包地处理，最好能单独放在独立区域使之不受周期信号的影响。

3. 高速差分信号

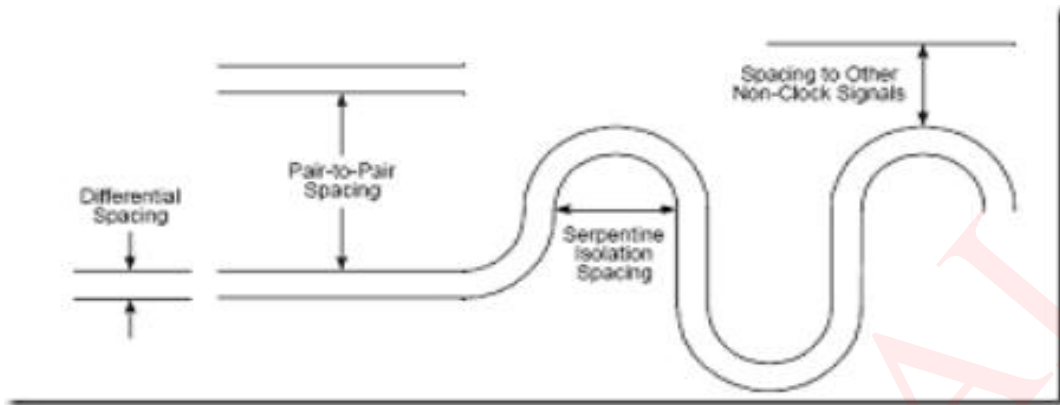
LVDS、CSI USB 都是高速差分信号，应遵循以下 LAYOUT 规则：

1) 两线之间要等距，等距主要是为了保证两者差分阻抗一致，减少反射。布线时两线保持平行，即距离要保持相等，若两线忽远忽近，差分阻抗就会不一致。

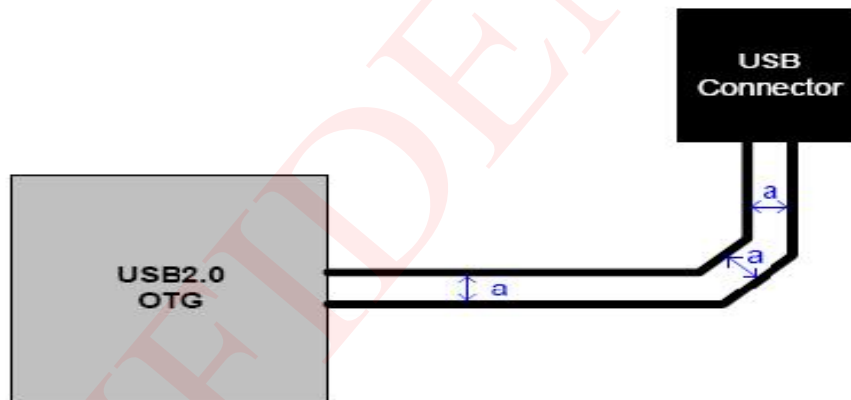
2) 两线要等长，等长是为了保证两个差分信号时刻保持相反极性，减少共模分量。

LVDS 和 DDR 还要保证不同的差分组间的等长，目的是保证时序要求。USB 和 LVDS 同组差分线等长误差要求控制在 10mils 以内，LVDS 不同组间误差要求控制在 20mils 以内。等长与等距冲突时，首先满足等长。

3) 可以走蛇形线满足等长要求，蛇形线尽量放在靠端口的地方，蛇形线注意边缘间距大于 2 倍线宽,见下图。



- 4) 两线尽量靠近，是为了增强他们之间的耦合。但并非越近越好，要根据阻抗要求调整线宽和间距。此板线宽/线距我们按 5mils/5mils 来布线，由 PCB 厂根据阻抗再做调整。
- 5) 增大与其它信号走线的间距，与其它信号边缘间距至少 3 倍线宽以上。
- 6) 避免直角走线，拐角时按 45 度转角或弧形。



- 7) 减少过孔数量，一般小于 3 个过孔，同组或同类型不同组间过孔要有一致性。
- 8) 不要在两者之间多余地加入地线，并且在其相邻层提供完整的参考平面，保证良好的回流路径。
- 9) 信号线尽量避免短的分支走线。如下图所示：



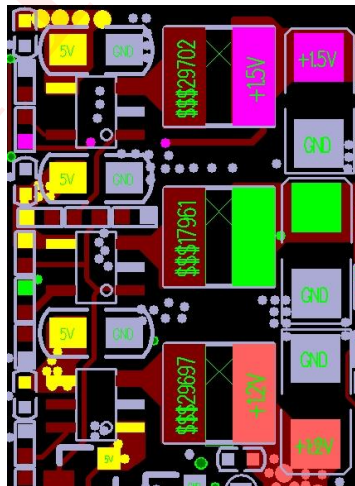
10) USB 差分线阻抗要求 90 欧, LVDS 阻抗要求 100 欧,DDR 差分线阻抗要求 85 欧

4. AUDIO

- 1) 所有 Audio 部分的走线应该尽可能宽。
- 2) Audio DAC 供电电容尽可能靠近 ARK1668ED。
- 3) 左右声道的走线尽量宽和短, 减少过孔, 避免跨越数字地。
- 4) Audio 部分的地回路不允许多路返回和环状 GND 层面。
- 5) 左右声道的走线绝对不能平行紧贴着走线, 否则有可能发生 Crosstalk 。
- 6) 左右声道走线之间最好能铺地信号。
- 7) 为 AUDIO 模块单独分配一个地, 然后使之与系统地单点连接。

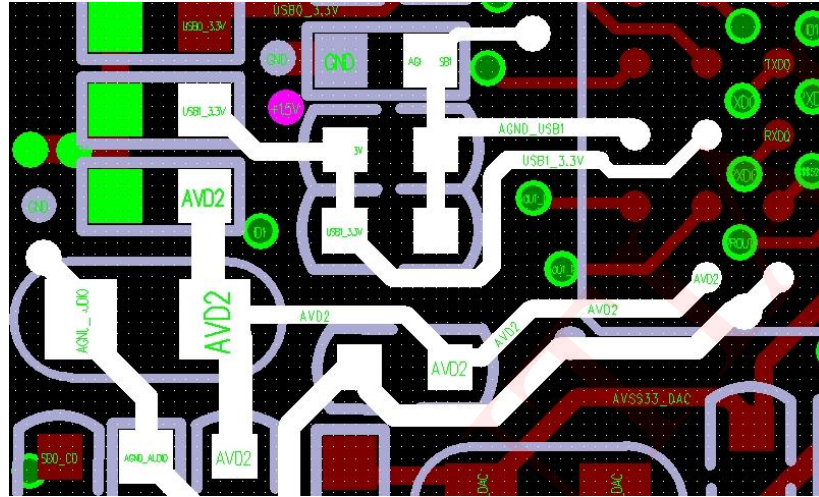
5. POWER

- 1) 当使用 DCDC 电源时, 需要注意:
 - ◆ 输入电容至 DCDC 输入脚, 输出脚至电感和输出电容走线应尽可能的粗和短, 尽量避免过孔。
 - ◆ DCDC 接地过孔要足够多。
 - ◆ 功率电感需要带屏蔽的。

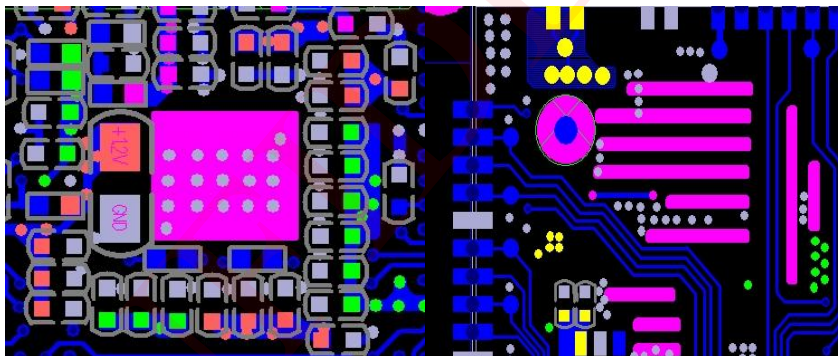


- 2) 1.15V(核电压)走线宽度至少 70 mils, 1.5V(DDR 电压)走线宽度至少 50 mils, 3.3V 走线宽度至少 25 mils, 换层时要有足够数量的过孔。

- 3) USB、音频 DAC、串行 ADC（锁相环）、视频 DAC 及 LVDS 等各功能模块供电和地走线宽度尽量走 10mils 以上，滤波电容尽量靠近芯片，如：下图为 USB3.3V 和音频 DAC 模块电源和地走线。



6. 芯片在底层的地铺铜要开窗，有利于芯片散热。其它铺地位置适当增加露铜面积。如下图粉红色部分为露铜区域。

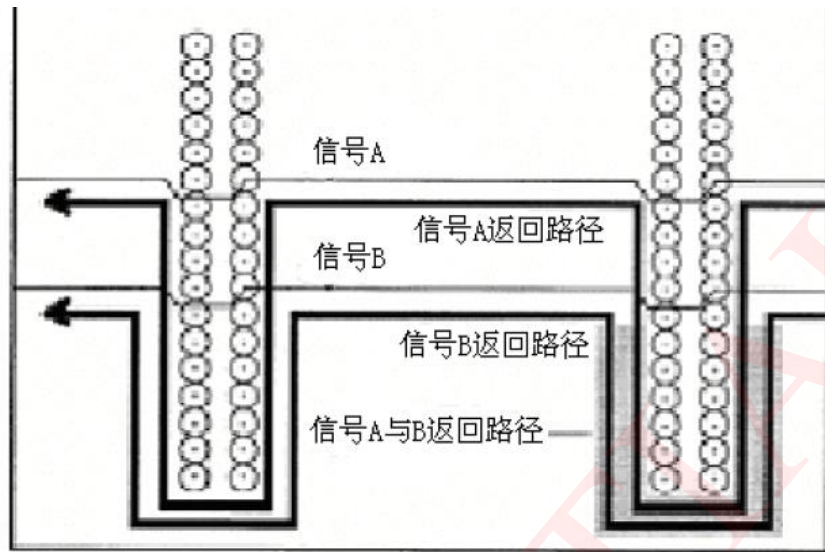


7. 考虑到 EMC 问题，PCB 上要留有位安装屏蔽罩。为了得到良好的搜星效果，GPS 模块一定要加屏蔽罩。

8. 串扰

一般有两种形式:

- 1) 两信号线距离太近，产生的磁场互相干扰。一般信号边缘间距要求至少 1 倍线宽，与高频信号线间的间距至少 2 倍线宽。
- 2) 由于过孔等的阻碍，致使多个信号共用相同回流通路，也会形成信号之间的串扰，如下图所示。



9. 铺地和回路

- 1) 模拟地和数字地须合理的分割。如果板太小无法分割模拟和数字地，可以直接相连，但是要考虑数字信号的地回路不要影响到模拟部分。
- 2) 高频信号的回流的原则就是沿着阻抗最小的路径返回信号的驱动端。在 PCB 上传输线的信号回流总是沿着和该传输线最近的敷铜形成电流返回路径，所以高频信号线相邻层要有良好的铺铜。如果返回路径经过不同的铺铜平面，需要放置必要的电容或 RC 滤波电路进行连通。
- 3) 若干 PCB 组成系统，各个 PCB 板子相互连接之间的信号或电源在动作时，例如 A 板子有电源或信号送到 B 板子，一定会有等量的电流从地层流回到 A 板子。这地层上的电流会找阻抗最小的地方流回去。所以，在各个不管是电源或信号相互连接的接口处，分配给地层的管脚数不能太少，以降低阻抗，这样可以降低地层上的噪声。另外，也可以分析整个电流环路，尤其是电流较大的部分，调整地层或地线的接法，来控制电流的走法(例如，在某处制造低阻抗，让大部分的电流从这个地方走)，降低对其它较敏感信号的影响。

10. PCB 制作注意事项

- 1) 需要做阻抗匹配的地方要在 PCB 上标示出来（如用不同颜色）并在加工要求表格描述；
- 2) 为了避免短路，过孔要注意塞油及涂阻焊层；
- 3) 板材建议使用 FR-4，厚度 1~1.6mm